

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-284548

(43)Date of publication of application : 12.10.2001

(51)Int.Cl.

H01L 27/10
H01L 27/108
H01L 21/8242

(21)Application number : 2000-099647

(71)Applicant : FUJITSU LTD

(22)Date of filing : 31.03.2000

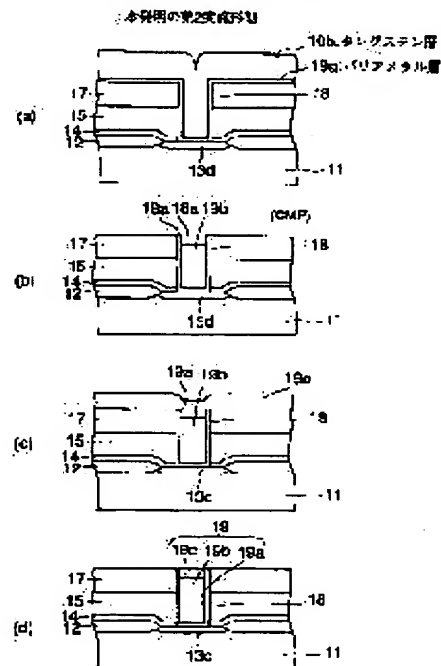
(72)Inventor : KISHII SADAHIRO
WATANABE JUNICHI
ITO AKIO
KELLY ANDREW

(54) SEMICONDUCTOR MEMORY DEVICE AND PRODUCING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent oxidization between the lower electrode of a capacitor and a plug.

SOLUTION: A hole 18 is formed on an insulating film 17, a barrier metal layer 19a is formed on the inner surface of the hole 18 and the upper surface of the insulating film 17, and a tungsten layer 19b is formed on the barrier metal layer 19a inside the hole 18 by CVD. Then, the tungsten layer 19b and the barrier metal layer 19a are removed from the upper surface of the insulating film 17 by either grinding or etching, the tungsten layer 19b is left inside the hole 18 in the state of making a recessed part 18a existent at the upper part inside the hole 18, and a contact metal layer 19c is formed inside the insulating film 17 and the recessed part 18a. Then, the contact metal layer 19c is removed from the upper surface of the insulating film 17 and left only inside the recessed part 18a by either grinding or etching, a ferroelectric capacitor 20 is formed thereon and further, the capacitor 20 is annealed in the oxygen-containing atmosphere.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J.P.)

(2) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-284548

(P2001-284548A)

(43) 公開日 平成13年10月12日(2001.10.12)

(51) Int. Cl.

H01L 27/10
27/108
21/8242

識別記号

451

FI

H01L 27/10

451

651

7-コード(参考)

5F083

審査請求 未請求 請求項の数 7 OL (全 11 頁)

(21) 出願番号

特願2000-99647(P2000-99647)

(22) 出願日

平成12年8月31日(2000.8.31)

(71) 出願人

000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者

岸井 貞治

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者

越辺 剛一

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人

100081872

弁理士 岡本 啓三

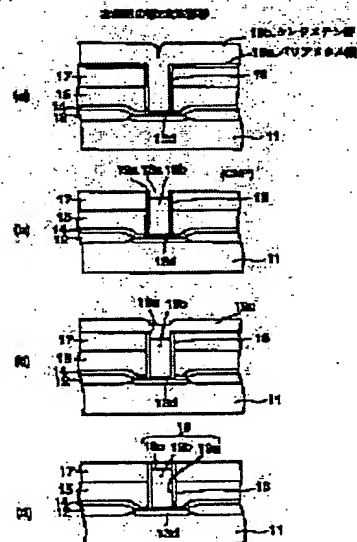
最終頁に続く

(54) 【発明の名称】 半導体記憶装置及びその製造方法

(57) 【要約】

【課題】 半導体記憶装置の製造方法に関し、キャパシタ下部電極とプラグの間の酸化を防止すること。

【解決手段】 絶縁膜17にホール18を形成し、ホール18内面と絶縁膜17上面の上にバリアメタル層19aを形成し、CVD法でタングステン層19bをホール18内のバリアメタル層19a上に形成し、研磨、エッチバックのいずれかでタングステン層19b及びバリアメタル層19aを絶縁膜17上面から除去するとともに、ホール18内の上部に凹部18aが存在する状態でタングステン層19bをホール18内に残し、絶縁膜17と凹部18a内にコンタクトメタル層19cを形成し、研磨、エッチバックのいずれかでコンタクトメタル層19cを絶縁膜17上から除去して凹部18a内にのみ残り、その上に誘電体キャパシタ20を形成し、さらにキャパシタ20を酸素含有雰囲気中でアニールする。



【特許請求の範囲】

【請求項 1】半導体基板の上に形成された絶縁膜と、前記絶縁膜に形成されたホールと、

前記ホールの中で上部に凹部を有するように形成されたタングステン層と、前記絶縁膜の上に形成された酸化イリジウムを有する下部電極と強誘電体膜と上部電極とからなるキャパシタと、

前記ホールの前記凹部内に埋め込まれ、前記下部電極と前記タングステン層とのコンタクト抵抗を低減したコンタクトメタル層とを有する半導体記憶装置、

【請求項 2】前記凹部内において、前記コンタクトメタル層の上に形成されたイリジウム層を有することを特徴とする請求項 1 に記載の半導体記憶装置、

【請求項 3】前記コンタクトメタルは、酸化チタン、酸化タングステン、酸化タンタル、タンタル、酸化アルミニウムシリコン、酸化タンタルシリコンから選択されることを特徴とする請求項 1 又は請求項 2 に記載の半導体記憶装置、

【請求項 4】半導体基板の上に絶縁膜を形成する工程と、

前記絶縁膜にホールを形成する工程と、

前記ホール内面と前記絶縁膜上面の上にバリアメタル層を形成する工程と、

前記バリアメタル層の上に CVD 法によってタングステン層を形成して、該タングステン層を前記ホール内に充填する工程と、

研磨、エッチバックのいずれかによって前記タングステン層及び前記バリアメタル層を前記絶縁膜上面から除去するとともに、前記ホール内の上部に凹部が存在する状態で前記タングステン層を前記ホール内に残す工程と、前記絶縁膜と前記凹部内にコンタクトメタル層を形成する工程と、

研磨、エッチバックのいずれかによって前記コンタクトメタル層を前記絶縁膜上から除去して前記凹部内のみ残す工程と、

前記ホールの上に形成されて酸化イリジウムを有する下部電極と強誘電体膜と上部電極とからなるキャパシタを形成する工程とを有する半導体記憶装置の製造方法、

【請求項 5】前記コンタクト層を前記絶縁膜から除去する前か後に、前記コンタクト層の上にイリジウム層を形成する工程と、

研磨、エッチバックのいずれかによって前記イリジウム層を前記絶縁膜上から除去して前記凹部内で前記コンタクトメタル層の上にのみ残す工程とをさらに有する請求項 4 に記載の半導体記憶装置の製造方法、

【請求項 6】前記キャパシタの形成後に前記キャパシタを酸素含有雰囲気中でアニールすることを特徴とする請求項 4 に記載の半導体記憶装置の製造方法、

【請求項 7】前記コンタクトメタルは、酸化チタン、酸化タングステン、酸化タンタル、タンタル、酸化アルミ

ニウムシリコン、酸化タンタルシリコンから選択されることを特徴とする請求項 4 又は請求項 5 に記載の半導体記憶装置の製造方法、

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置及びその製造方法に関し、より詳しくは、強誘電体、高誘電体キャパシタを含む半導体記憶装置及びその製造方法に関する。

【0002】

【従来の技術】近年、IC カード等のメモリデバイスとして FeRAM が使用されている。FeRAM のセル構造として例えば図 1 に示すような構造のものがある。図 1 において、シリコン基板 1 には MOS トランジスタ 2 が形成され、その上にはキャパシタ Q が形成されている。

【0003】その MOS トランジスタ 2 は、シリコン基板 1 上にゲート絶縁膜 2a を介して形成されたゲート電極（ワード線）2b と、ゲート電極 2b の両側のシリコン基板 1 に形成された不純物拡散層 2c、2d を有している。また、MOS トランジスタ 2 を覆う SiO₂ 層間絶縁膜 3 に形成されたホール 4 にはポリシリコンのプラグ 5 が埋め込まれ、そのプラグ 5 は、シリコン基板 1 の不純物拡散層 2c に接続されている。また、SiO₂ 層間絶縁膜 3 上には、一部がプラグ 5 に接続する第一の酸化イリジウム（IrO₂）膜 6a が形成され、その上には第二のイリジウム（Ir）膜 6b、第二の酸化イリジウム膜 6c、PZT 強誘電体膜 7、第三の酸化イリジウム膜 8a 及び第二のイリジウム膜 8b が順に形成されている。

【0004】第一の IrO₂ 膜 6a、第一の Ir 膜 6b、第二の IrO₂ 膜 6c は所定の大きさにパターンニングされてキャパシタ Q の下部電極 6 を構成し、また、PZT 強誘電体膜 7 は所定の大きさにパターンニングされてキャパシタ Q の誘電体膜を構成し、さらに第三の酸化イリジウム膜 8a、第二のイリジウム膜 8b も所定の大きさにパターンニングされてキャパシタ Q の上部電極 8 を構成する。

【0005】以上のようなポリシリコンのプラグ 5 直上にキャパシタ Q を形成する構造は、例えば、1989、Symposium on VLSI Technology Digest of Technical Papers, pp. 141-142 に記載されている。この文獻に記載されているプラグの材料であるポリシリコンは、タングステンと比較して抵抗が高いため、ロジックデバイスとの温度には向いていない。

【0006】

【発明が解決しようとする課題】本発明者は、プラグの材料として、抵抗が低く、ロジックとの温度が容易なタングステンを採用することを試みている。設計ルールが 0.35 μm 世代以降の半導体デバイスでは、MOS トランジスタの不純物拡散領域にプラグが接触する面積が著しく狭まり、プラグと不純物拡散領域との表面コンタ

クト抵抗が例えば1k Ω レベルにまで達し、歩留まりを悪化する要因として見過せなくなったため、不純物拡散領域表面を高融点金属シリサイド化するいわゆるシリサイド技術を用いてコンタクト面における抵抗を下げる工夫が必須といわれている。

【0007】しかし、工程を簡略化し、メモリアルデバイス、ロジックデバイス等の異なる領域でプラグを工程で一気に形成しようとする、同じ半導体基板面の全てのプラグ形成予定領域表面を高融点金属シリサイド化せざるを得ない。この場合、設計ルールが0.35 μ m世代以降のデバイスにおいてもたらされる微細化は、プラグを作りつけるべき箇の幅をも狭めてしまうが、一方で、層間絶縁膜の厚さは絶縁性能を維持し、配線層間の相互干渉を避けるには、やむなくある程度の厚さを確保するしかなく、その結果、プラグ用ホール開口が狭くて奥行きが深い高アスペクト比になってしまう。このような高アスペクト比のホールに対してはスパッタリングを用いてタングステンを形成することには無理がある。

【0008】例えば、図2(a)に示すように、層間絶縁膜3の上面とホール4の内部に沿ってバリア金属膜9を形成した後、そのバリア金属膜9の上にタングステン膜10を形成することになるが、スパッタリング形成によって高アスペクト比のホール内をタングステン膜10で埋めようとする、ホール4内ではボイド10aの発生が避けられなくなる。

【0009】そして、そのようなボイド10aのある状態で、SiO₂絶縁膜上のタングステンをCMPにより除去しようすると、図2(b)に示すように、研磨終了時にボイド10aの中に研磨剤が入り込んでしまって信頼性が低下する。あるいは、図2(c)に示すように、PZT強誘電体膜7等を形成した後、PZT特性発現のために酸素雰囲気中で500～700℃の高温でキャパシタQを加熱すると、ボイド10aが破裂し、層構成材料がホール4の周囲に飛散してデバイス性能に致命的な損傷をもたらす。ひいては歩留まりを低下させる原因となる。

【0010】一方、微細デバイスに対しては、ボイド発生を防ぐために高温高圧スパッタリング法を用いることにも無理がある。余分な高温や圧力をかけることは、デバイスの他の領域にストレスを及ぼしかねず、歩留まりを下げる要因となることからである。余分に熱をかければ、例えばロジックデバイスを高速化させようとして浅く不純物を導入して形成されたソース/ドレイン領域の下に金属が突き抜けるまでシリサイド化が深く進んでしまい、ジャンクション破壊が起こる可能性も高い。

【0011】また、プラグとして用いようとしているタングステンは、ポリシリコンと比較して酸化されやすく、また、タングステンの上に直にIrO₂膜を形成すると、それらのコンタクト抵抗が増大する。そこで、下部電極の最下層として、IrO₂膜の下にさらにTiN、WN、TaN、

Ta、AlSiN、TaSiNのいずれかの導電膜を形成して、IrO₂膜とタングステンプラグとのコンタクト抵抗を低減させることが考えられる。

【0012】しかし、図3に示すように、下部電極の最下層として酸化されやすい材料膜、例えばTiN膜6dを採用すると、PZT強誘電体膜7のエッチングによるダメージからの回復をねらって酸素雰囲気中でアニールする際に、TiN膜6dはその側面方向から酸素が供給されて酸化してしまってその側部の膜厚が増大してキャパシタ構成膜に至りが生じる。例えば、酸素雰囲気中で700℃、20分のアニールを行うと、そのTiN膜6dはその側面から内方に0.2 μ m程度酸化される。

【0013】その酸化が発生すると、TiN膜6dの周辺部の膜厚が局部的に増加するので、その上のIrO₂膜5a等の平坦性が損なわれる。そのような酸化は、TiNの代わりにWN、Ta₂N、Ta、AlSiN、のいずれを使用しても生じる。ここで、下部電極6を構成するIr膜6bは、PZT強誘電体膜7を透過してくる酸素を吸収する機能があるので、その下のTiN、WN、Ta₂N、Ta、AlSiN、TaSiN、Wの膜6dの酸化を抑制する機能があるが、側方からの酸化を抑制することはできない。

【0014】本発明の目的は、ボイドの発生を抑制してタングステンプラグを形成し、さらに、キャパシタ下部電極とプラグの間の酸化を防止することができる半導体記憶装置及びその製造方法を提供することにある。

【0015】

【課題を解決するための手段】上記した課題は、半導体基板の上に形成された絶縁膜と、その絶縁膜に形成されたホールと、ホールの中で上部に凹部を有するように形成されたタングステン層と、絶縁膜の上に形成された酸化イリジウムを有する下部電極と強誘電体膜と上部電極とからなるキャパシタと、ホールの凹部に埋め込まれ、下部電極とタングステン層とのコンタクト抵抗を低減したコンタクト金属層とを有する半導体記憶装置によって解決される。

【0016】上記した半導体記憶装置において、凹部内で前記コンタクト金属層の上に形成されたイリジウム層を有してもよい。また、上記した課題は、半導体基板の上に絶縁膜を形成する工程と、絶縁膜にホールを形成する工程と、ホール内面と絶縁膜上面の上にバリア金属層を形成する工程と、バリア金属層の上にCVD法によってタングステン層を形成して、このタングステン層をホール内に充填する工程と、研磨、エッチバックのいずれかによってタングステン層及びバリア金属層を絶縁膜上面から除去するとともに、ホール内の上部に凹部が存在する状態でタングステン層をホール内に残す工程と、絶縁膜と凹部にコンタクト金属層を形成する工程と、研磨、エッチバックのいずれかによってコンタクト金属層を絶縁膜上から除去して凹部内のみ残す工程と、ホールの上に形成されて酸化イリジウムを有す

る下部電極と誘導電極層と上部電極とからなるキャパシタを形成する工程とを有する半導体記憶装置の製造方法によって解決される。この場合、キャパシタの形成後にキャパシタを酸素含有雰囲気中でアニールしてもよい。

【0017】上記した半導体記憶装置の製造方法において、コンタクト層を絶縁膜から除去する前か後に、コンタクト層の上にイリジウム層を形成する工程と、研磨、エッチバックのいずれかによってイリジウム層を絶縁膜上から除去して内部でコンタクトメタル層の上のみ残す工程とをさらに有してもよい。なお、上記したコンタクトメタルは、窒化チタン、窒化タングステン、窒化 tantalum、タンタル、窒化アルミニウムシリコン、窒化 tantalum シリコンから選択される。

【0018】上記した本発明によれば、絶縁膜のホール内のプラグを構成するタングステン層とキャパシタの下部電極の間に形成されるコンタクトメタル層をホールの上部に埋め込むようにした。これにより、キャパシタを酸素含有雰囲気中でアニールしてもそのコンタクトメタル層が酸素に触れることはなくなり、コンタクトメタル層の膜厚増加は防止される。

【0019】また、そのホール内においてコンタクトメタル層の上にイリジウムを埋め込むようにしている。これにより、従来のようにキャパシタ下部電極としてイリジウム層を酸化イリジウム層で被覆する必要があることはなくなり、その下部電極を酸化イリジウムのみで構成してキャパシタの層数が減って、絶縁膜上のカパレッジが改善される。

【0020】さらに、絶縁膜のホール内にタングステン層を形成する際にCVD法を採用している。したがって、ホール内のタングステン層にボイドが発生することが阻止される。

【0021】

【発明の実施の形態】そこで、以下に本発明の実施形態を図面に基いて説明する。

（第1の実施の形態）図4(a)は、本発明の第1実施形態のFeRAMセルを示す断面図である。図4(a)において、シリコン（半導体）基板11の表面にはメモリセル領域を区画するためのLOCOS層12が形成され、そのメモリセル領域にはワード線WLを兼ねたゲート電極13aがシリコン基板11上にゲート絶縁膜13bを介して形成されている。また、シリコン基板11のうちゲート電極13aの両側方には、不純物拡散層13c、13dが形成されている。それらのゲート電極13、不純物拡散層13c、13d等は、MOSトランジスタ13を構成する。

【0022】MOSトランジスタ13、シリコン基板11、LOCOS層12は、SiO₂よりなる第1絶縁膜14、第2絶縁膜15によって覆われ、その第1、第2絶縁膜14、15には第1に形成された第1のホール16を通してビット線BLが第1の不純物拡散層13cに接

接されている。また、ビット線BLと第2絶縁膜15の上には、SiO₂よりなる第3絶縁膜17が形成されている。

【0023】そして、第1～第3絶縁膜14、15、17において第2の不純物拡散層13dの上には、第2のホール18が形成されている。その第2のホール18の内面には、チタン、窒化チタンが順に形成されてなる二層構造のバリアメタル膜19aが形成され、さらに、第2のホール18の中には、タングステン膜19bとその上に形成されたコンタクトメタル層19cからなるプラグ19が埋め込まれている。コンタクトメタル層19cは、例えば窒化チタン(TiN)、窒化タングステン(WN)、窒化 tantalum (Ta_N)、タンタル(Ta)、窒化アルミニウムシリコン(AlSiN)、窒化 tantalum シリコン(TaSiN)のいずれかの導電膜から形成されている。

【0024】さらに、第3絶縁膜17の上には、図4(b)に示すように、キャパシタ20を構成する下部電極21と誘導電極22と上部電極23が順に形成され、その下部電極21はプラグ19のコンタクトメタル層19cに接続されている。下部電極21は、プラグ19に接続される第1の酸化イリジウム(IrO₂)層21aと、その上に順に形成される第1のイリジウム(Ir)層21bと第2の酸化イリジウム層21cとから構成される。誘導電極22としては、PZT、PLZT、STB等の膜が適用される。また、上部電極23は、下から順に形成された第3の酸化イリジウム層23aと第2のイリジウム層23bから構成されている。

【0025】さらに、キャパシタ20と第3絶縁膜17上には絶縁保護膜24が形成され、その上にはホール24aを通してキャパシタ20の上部電極23に接続される配線25が形成されている。以上のような構成のメモリセルにおいては、プラグ19を構成するタングステン層19bの上面にTiN等よりなるコンタクトメタル層19cを形成したので、そのコンタクトメタル層19cによって第1の酸化イリジウム層21aとタングステン層19bの間の電気抵抗が低減される。しかも、酸化されやすい材料のコンタクトメタル19cは、第2のホール18内のみ形成されてキャパシタ20によって外部から遮断されているので、キャパシタ20の誘導電極22を酸素アニールする際にコンタクトメタル層19cが酸化されることがなくなる。

【0026】なお、下部電極21において、第1の酸化イリジウム層21aを省略して第1のイリジウム層21bを第3絶縁膜17上に直接形成してもよい。上記したプラグ19の形成については、以下の第2、第3実施形態において説明する。

（第2の実施の形態）図5(a)～(d)は、本発明の第2実施形態を示すメモリセルのプラグ形成工程を示す断面図であって、図4の1-1線から見た断面図である。

【0027】図5(a)に示す状態になるまでの工程を説

明する。まず、シリコン基板11を覆う第1〜第3絶縁膜14、15、17を順に形成した後に、フォトリソグラフィ法によりパターンニングして不純物拡散層13dの上に直径500nmのホール18を形成する。SF₆よりなる第3絶縁膜17はTEOSガスをを用いてプラズマCVD法によって形成される。

【0028】続いて、スパッタによって、ホール18の内面と第3絶縁膜17の上に膜厚10nmのチタン層と膜厚50nmの窒化チタン層を続けて形成し、これをバリアメタル層19aとする。さらに、六フッ化タングステン(WF₆)ガスをを用いてCVD法によりバリアメタル層19aの上にタングステン層19bを形成してホール18内に埋め込む。そのタングステン層19bの成長条件として、成長雰囲気圧力を0.8Torr、成長温度を400℃とし、ガスについてはWF₆ガスを流量を300sccm、水素(H₂)ガスを流量を3slmとし、ホール18内のタングステン層19cにはボイドが発生することはない。

【0029】次に、図5(b)に示すようにCMP法によって第3絶縁膜17上のタングステン層19bとバリアメタル層19aを除去するとともに、ホール18内の上にディッシング部18aを形成する。このディッシング部18aを形成するためにCMP法の際に柔らかい研磨布、例えばSUBA400(ローデル社)を使用する。続いて、図5(c)に示すように、スパッタ法により、Ti、N、W、Ta、AlSiN、TaSiNのいずれかをコンタクトメタル層19cとしてディッシング部18a内と第3絶縁膜17上面の上に形成する。

【0030】次に、図5(d)に示すように硬い研磨布としてOC1000(ローデル社)を使用してコンタクトメタル層19cを研磨して平坦化することにより、第3絶縁膜17の上面上からコンタクトメタル層19cを除去するとともに、ディッシング部18aを埋め込むようにコンタクトメタル層19cを残す。以上によりホール18内のプラグ19の形成が終了する。

【0031】この後に、図4(b)に示すような下部電極21を構成するIrO₂層21a、Ir層21b、IrO₂層21cを順に形成し、その上に強誘電体膜22を形成し、さらにその上に上部電極23を構成するIrO₂層23a、Ir層23bを順に形成する。IrO₂層21a、21c、23aとIr層21b、23bはスパッタ法により形成され、強誘電体膜22を構成するPZTはソルゲル法により形成される。

【0032】また、PZTを形成した後は、酸素雰囲気中でアニールを施してPZTを結晶化させる。さらに、下部電極21、PZT強誘電体膜22、上部電極23を成膜した後に、それらをフォトリソグラフィ法により図4(b)に示したようなキャパシタの形状にパターンニングし、その後に、酸素雰囲気中でキャパシタ20を温度700℃程度でアニールしてキャパシタ特性を回復させる。

【0033】以上のような工程により形成されたメモリセルは、図4(b)に示したように、プラグ19を構成するタングステン層19bと下部電極21を構成するIrO₂層21aの間に形成されるコンタクトメタル層19cがホール18中に完全に埋め込まれるので、キャパシタ形成後に酸素含有雰囲気中で高温アニール処理が施されてもコンタクトメタル層19cが酸化されることがなくなる。これにより、図3に示したようなキャパシタ形成後の下部電極21の周辺部での持ち上がりが無くなる。

【0034】また、プラグ19を構成するタングステン層19bをCVD法により形成したので、ホール18内でのタングステン層19bにはボイドが発生しなくなり、プラグ19への汚物の混入やプラグ19の加熱の際の破裂が防止される。

(第3の実施形態)本実施形態では、第2実施形態と異なるプラグの形成方法について図6(a)〜(d)に基づいて説明する。なお、図6において、図5と同じ符号は、同じ要素を示している。

【0035】まず、図6(a)に示すように、シリコン基板11を覆う第1〜第3絶縁膜14、15、17を順に形成した後に、フォトリソグラフィ法によりパターンニングして不純物拡散層13dの上にホール18を形成する。続いて、スパッタによって、ホール18の内面と第3絶縁膜17の上にチタン層と窒化チタン層を続けて形成し、これをバリアメタル層19aとする。さらに、CVD法によりバリアメタル層19aの上にタングステン層19bを形成してホール18内に埋め込む。

【0036】なお、それらの層の形成方法や形成条件は、第2実施形態と同じである。次に、図6(b)に示すように、エッチバックによって第3絶縁膜17上のタングステン層19bとバリアメタル層19aを除去し、さらに、ホール18内の上に深さ200nm程度の溝18bを形成する。この場合のエッチング条件として例えばSF₆とN₂の混合ガスを用いる。

【0037】続いて、図6(c)に示すように、スパッタ法により、Ti、N、W、Ta、AlSiN、TaSiNのいずれかをコンタクトメタル層19cとしてディッシング部18a内と第3絶縁膜17上面の上に形成する。次に、図6(d)に示すように、硬い研磨布としてOC1000(ローデル社)を使用してコンタクトメタル層19cを研磨して平坦化することにより、第3絶縁膜17の上面上からコンタクトメタル層19cを除去するとともに、ディッシング部18aの中にディッシングが生じないようにコンタクトメタル層19cを残すようにする。

【0038】以上によりホール18内のプラグ19の形成が終了する。この後に、第2実施形態で説明したような工程でキャパシタ20を形成する。以上のような工程によれば、図4(b)に示したように、プラグ19を構成するタングステン層19bと下部電極21を構成するIrO₂層21aの間に形成されたコンタクトメタル層19c

がホール18中に埋め込まれた状態になるので、キャパシタ形成後の酸素含有雰囲気中での高温のアニール処理が施されてもコンタクトメタル層19cが酸化されることがなくなる。従って、図3に示したようなキャパシタ形成後の下部電極21の周辺部での持ち上がりが無くなる。

【0039】また、プラグ19を構成するタングステン層19bをCVD法により形成したので、ホール18内のタングステン層19bにはボイドが発生しなくなり、プラグ19への汚物の混入や加熱の際のプラグ19の破裂が防止される。

（第4の実施形態）図7(a)は、本発明の第1実施形態のFeRAMセルを示す断面図であり、図4(a)と同じ符号は同じ要素を示している。

【0040】図7(a)において、シリコン（半導体）基板11の表面にはメモリセル領域を区画するためのLLOCOS層12が形成され、そのメモリセル領域にはワード線WLを兼ねたゲート電極13aがシリコン基板11上にゲート絶縁膜13bを介して形成されている。また、シリコン基板11のうちゲート電極13aの両側方には、不純物拡散層13c、13dが形成されている。それらのゲート電極13、不純物拡散層13c、13d等は、MOSトランジスタ13を構成する。

【0041】MOSトランジスタ13、シリコン基板11、LLOCOS層12は、SiO₂よりなる第1絶縁膜14、第2絶縁膜15によって覆われ、その第1、第2絶縁膜14、15には第1に形成された第1のホール18を通してビット線BLが第1の不純物拡散層13cに接続されている。また、ビット線BLと第2絶縁膜15の上には、SiO₂よりなる第3絶縁膜17が形成されている。

【0042】そして、第1～第3絶縁膜14、15、17において第2の不純物拡散層13dの上には、第2のホール18が形成されている。その第2のホール18の内面には、チタン、窒化チタンが順に形成されてなる二層構造のバリアメタル層30aが形成され、さらに、第2のホール18の中には、タングステン層30bとその上に形成されたコンタクトメタル層30cとイリジウム層30dが順に形成され、それらによりホール18内にはプラグ30が埋め込まれている。コンタクトメタル層30cは、例えばTiN、W、Ta、AlSiN、TaSiNのいずれかの堆積膜から形成されている。

【0043】さらに、第3絶縁膜17の上には、図7(b)に示すように、キャパシタ31を構成する下部電極32、強誘電体膜33、上部電極34が順に形成されている。下部電極32は第1の酸化イリジウム（IrO₂）層から構成され、強誘電体膜33はPZT、PLZT、SBT等から構成され、また、上部電極34は、下から順に形成された酸化イリジウム層34aとイリジウム層34bから構成されている。

【0044】さらに、キャパシタ31と第3絶縁膜17上には絶縁保護膜24が形成され、その上にはホール24aを通してキャパシタ31の上部電極34に接続される配線25が形成されている。以上のような構成のメモリセルにおいては、プラグ30を構成するタングステン層30bの上コH等よりなるコンタクトメタル層30cとイリジウム層30dを形成したので、そのコンタクトメタル層19cによってイリジウム層30dとタングステン層30bの間の電気抵抗が低減される。しかも、酸化されやすい材料のコンタクトメタル30cは、第2のホール18内のみ形成されてキャパシタ31によって外部から遮断されているので、キャパシタ31の強誘電体膜33を酸素アニールする際にコンタクトメタル層30cが酸化されることがなくなる。

【0045】さらに、コンタクトメタル層30bの酸化を防止するためにその上に形成されるイリジウム層30dも併せてホール18内のみ残すようにしたので、イリジウムと第3絶縁膜との密着性を向上させるために形成される酸化イリジウムが一層不要となる。上記したプラグ30の形成については、以下の第5、第6実施形態において説明する。

（第5の実施形態）図8(a)～(d)は、本発明の第5実施形態を示すメモリセルのプラグ形成工程を示す断面図であって、図7のII-II線から見た断面図である。

【0046】図8(a)に示す状態になるまでの工程を説明する。この工程は、第2実施形態で説明したと同じ工程とする。即ち、シリコン基板11を覆う第1～第3絶縁膜14、15、17を用いて形成した後、フォトリソグラフィ法によりパターンニングして不純物拡散層13dの上にホール18を形成する。続いて、スパッタ法によって、ホール18の内面と第3絶縁膜17の上にチタン層と窒化チタン層を続けて形成し、これをバリアメタル層30aとする。さらに、バリアメタル層30a上にタングステン層30bをCVD法により形成してホール18内に埋め込む。

【0047】次に、図8(b)に示すように、エッチバックによって第3絶縁膜17上のタングステン層30bとバリアメタル層30aを除去するとともに、ホール18内の上に深さ30.0nm程度の凹部18aを形成する。続いて、図8(c)に示すように、スパッタ法により、TiN、W、Ta、AlSiN、TaSiNのいずれかをコンタクトメタル層30cとして凹部18a内と第3絶縁膜17上面の上に形成した後、スパッタ法によりイリジウム層30dを30.0nmの厚さに形成する。

【0048】次に、図8(d)に示すように、硬い研磨布としてIC1000（ローテル社）を使用してコンタクトメタル層30cとイリジウム層30dを研磨して平坦化することにより、第3絶縁膜17の上面上からそれらの層30c、30dを除去するとともに、凹部18aを埋め込むようにそれらの層30c、30dを残す。以上

によりホール18内のプラグ30の形成が終了する。

【0049】この後に、図7(b)に示すような下部電極32を構成するIrO₂層を形成し、その上に誘電体膜33を形成し、さらにその上に上部電極34を構成するIrO₂層34a、Ir層34bを順に形成する。IrO₂層とIr層はスパッタ法により形成され、誘電体膜33を構成するPZTはソルゲル法により形成される。

【0050】また、PZTを形成した際には、酸素雰囲気中でアニールを施してPZTを結晶化させる。さらに、下部電極32、PZT誘電体膜33、上部電極34を成膜した後、それらをフォトリソグラフィ法により図7(b)に示したようなキャパシタ31の形状にパターニングし、その後、酸素雰囲気中でキャパシタ31を温度700℃程度でアニールしてキャパシタ特性を回復させる。

【0051】以上のような工程により形成されたメモリセルは、図7(b)に示したように、プラグ30を構成するタングステン層30bと下部電極32を構成するIrO₂層の間に形成されるコンタクトメタル層19cがホール18中に完全に埋め込まれるので、キャパシタ形成後に酸素含有雰囲気中で高温アニール処理が施されてもコンタクトメタル層30cが酸化されることがなくなる。これにより、図3に示したようなキャパシタ形成後の下部電極21の周辺部での持ち上がりが無くなる。

【0052】また、第1実施形態でキャパシタ下部電極を構成していたイリジウム層30dをホール18内に埋め込んだので、その下部電極の最下層として形成していた酸化イリジウム膜の形成が不要になり、キャパシタを造ることが可能になる。さらに、プラグ30を構成するタングステン層30bをCVD法により形成したので、ホール18内でのタングステン層30bにはボイドが発生しなくなり、プラグ30への汚物の混入やプラグ30の加熱の際の破裂が防止される。

(第6の実施形態) 本実施形態では、第5実施形態と異なるプラグの形成方法について図9、図10に基づいて説明する。なお、図9、図10において、図8と同じ符号は同じ要素を示している。

【0053】まず、図9(a)に示すように、シリコン基板11を覆う第1～第3絶縁膜14、15、17を順に形成した後、フォトリソグラフィ法によりパターニングして不純物拡散層13dの上にホール18を形成する。続いて、スパッタによって、ホール18の内面と第3絶縁膜17の上にチタン層と窒化チタン層を続けて形成し、これをバリアメタル層30aとする。さらに、バリアメタル層30aの上にタングステン層30bをCVD法により形成してホール18内に埋め込む。

【0054】なお、それらの層の形成方法や形成条件は、第2実施形態と同じである。次に、図9(b)に示すように、珪酸によって第3絶縁膜17上のタングステン層30bとバリアメタル層30aを除去し、ホール18

内のみ残す。その珪酸の際には、硬い珪酸布として101000(ローテル社)を使用する。次に、図9(c)に示すように、ホール18内のタングステン層30bとバリアメタル層30aの上層部をエッチバックにより除去することにより、深さ300nm程度の凹部18dを形成する。この場合のエッチング条件として、例えばアルゴンガスを用いる。

【0055】続いて、図9(d)に示すように、スパッタ法により、TiN、W、Ta₂N、Ta、AlSiN、TaSiNのいずれかをコンタクトメタル層30cとして凹部18d内と第3絶縁膜17上面の上に300nmの厚さに形成する。次に、図10(a)に示すように、コンタクトメタル層30cを珪酸で凹部18dの中にのみ残す。

【0056】さらに、図10(b)に示すように、スパッタ法によりイリジウム層30dを形成して凹部18dを完全に埋め込むようにする。そして、第3絶縁膜17上に形成されたイリジウム層30dを図10(c)に示すように珪酸で除去する。以上によりホール18内のプラグ30の形成が終了する。この後に、第5実施形態で説明したような工程でキャパシタ20を形成する。

【0057】以上のような工程によれば、図7(b)に示したように、プラグ30を構成するタングステン層30bと下部電極32を構成するIrO₂層の間に形成されたコンタクトメタル層30cがホール18中に埋め込まれた状態になるので、キャパシタ形成後の酸素含有雰囲気中での高温のアニール処理が施されてもコンタクトメタル層30cが酸化されることがなくなる。従って、図3に示したようなキャパシタ形成後の下部電極32の周辺部での持ち上がりが無くなる。

【0058】また、第1実施形態でキャパシタ下部電極を構成していたイリジウム層30dをホール18内に埋め込んだので、その下部電極の最下層として形成していた酸化イリジウム膜の形成が不要になり、キャパシタを造ることが可能になる。

【0059】

【発明の効果】以上述べたように本発明によれば、絶縁膜のホール内のプラグを構成するタングステン層とキャパシタの下部電極の間に形成されるコンタクトメタル層をホール18の上部に埋め込むようにしたので、キャパシタを酸素含有雰囲気中でアニールしてもそのコンタクトメタル層は酸素に触れることはなく、コンタクトメタル層の膜厚増加を防止することができる。

【0060】そのホール内においてコンタクトメタル層の上にイリジウムを埋め込むようにしたので、従来のようにキャパシタ下部電極としてイリジウム層を酸化イリジウム層で被覆構造を採用する必要はなくなり、その下部電極を酸化イリジウムのみで構成してキャパシタの層数が減って、絶縁膜上のカバレージを改善することができる。

【0061】また、絶縁膜のホール内にタングステン層

を形成する際にCVD法を用いたので、ホール内のタングステン層にボイドが発生することを防止することができる。

【図面の簡単な説明】

【図1】従来技術を示すメモリの断面図である。

【図2】従来技術のメモリのプラグの形成工程を示す断面図である。

【図3】従来技術のメモリのキャパシタの酸素アニール後の状態を示す断面図である。

【図4】本発明の第1実施形態に係るメモリの断面図である。

【図5】本発明の第2実施形態に係るメモリ用プラグの形成工程を示す断面図である。

【図6】本発明の第3実施形態に係るメモリ用プラグの形成工程を示す断面図である。

【図7】本発明の第4実施形態に係るメモリの断面図である。

【図8】本発明の第5実施形態に係るメモリ用プラグの形成工程を示す断面図である。

【図9】本発明の第6実施形態に係るメモリ用プラグの形成工程を示す断面図（その1）である。

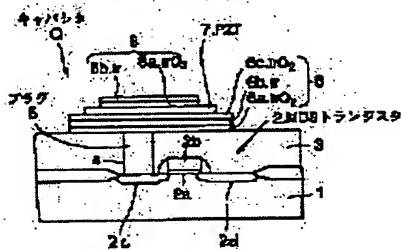
【図10】本発明の第6実施形態に係るメモリ用プラグの形成工程を示す断面図（その2）である。

【符号の説明】

11…シリコン基板（半導体基板） 12…LOCOS、13…MOSトランジスタ、14…第1絶縁膜、15…第2絶縁膜、17…第3絶縁膜、18…ホール、18a…テISING部、18b、18c…凹部、19…プラグ、19a…バリアメタル層、19b…タングステン層、19c…コンタクトメタル層、20…キャパシタ、21…下部電極、21a、21b…酸化イリジウム層、21c…イリジウム層、22…強誘電体層、23…上部電極、23a…酸化イリジウム層、23b…イリジウム層、30…プラグ、30a…バリアメタル層、30b…タングステン層、30c…コンタクトメタル層、30d…イリジウム層、31…キャパシタ、32…下部電極、33…強誘電体層、34…上部電極。

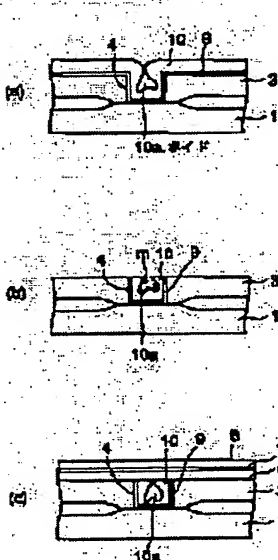
【図1】

従来技術（その1）



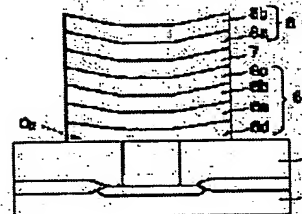
【図2】

従来技術（その2）

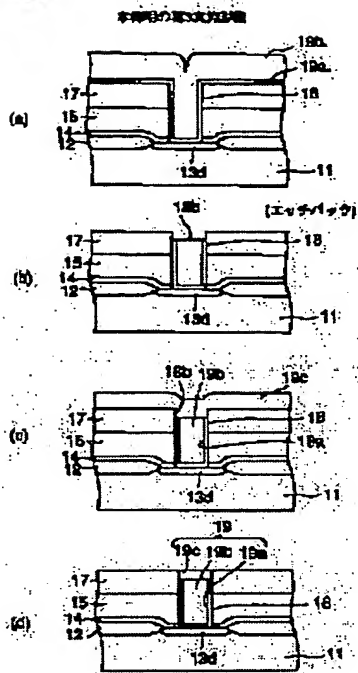


【図3】

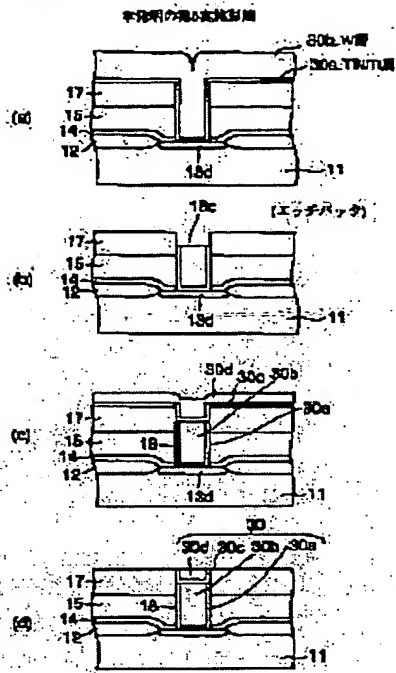
従来技術（その3）



【図6】

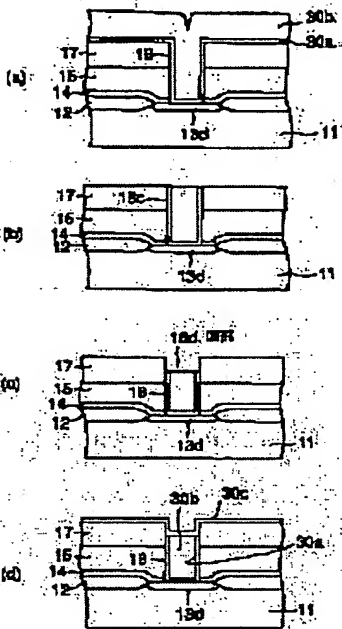


【図8】



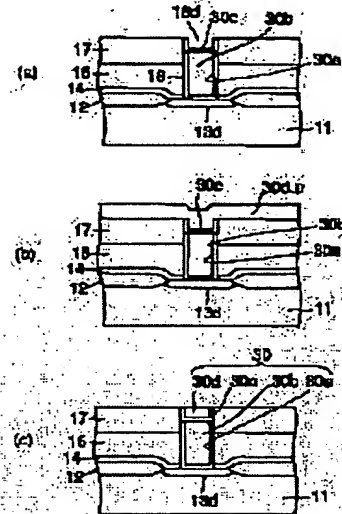
【図9】

本発明の第1実施形態(その1)



【図10】

本発明の第2実施形態(その2)



フロントページの続き

(72)発明者 伊藤 昭男

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 ケリー アンドリュウ

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

Ｆターム(参考) 5F083 FR02 GA21 JA14 JA15 JA36

JA39 JA40 JA42 MA17 NA08

PR21 PR22 PR33 PR38 PR40

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.